

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10874657

Basic Patent (No,Kind,Date): JP 4333094 A2 921120 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: HITACHI LTD

Author (Inventor): SATO HIDEO; NAGAE KEIJI; HOSHINO MINORU

IPC: *G09F-009/35; G02F-001/133

JAPIO Reference No: 170179P000058

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 4333094	A2	921120	JP 91102465	A	910508 (BASIC)

Priority Data (No,Kind,Date):

JP 91102465 A 910508

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03967994 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **04-333094 [JP 4333094 A]**

PUBLISHED: November 20, 1992 (19921120)

INVENTOR(s): SATO HIDEO

NAGAE KEIJI

HOSHINO MINORU

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: **03-102465 [JP 91102465]**

FILED: May 08, 1991 (19910508)

INTL CLASS: [5] G09F-009/35; G02F-001/133

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1517, Vol. 17, No. 179, Pg. 58, April
07, 1993 (19930407)

ABSTRACT

PURPOSE: To offer the liquid crystal display device which eliminates a brightness irregularity and color slurring and displays an image of high quality without any flicker and without depending upon the resistivity of a liquid crystal material nor the scanning time of a liquid crystal panel.

CONSTITUTION: The liquid crystal panel 1 consists of a liquid crystal panel 1, a latch circuit 2, and shift register circuits 3 and 4. The liquid crystal panel 1 consists of memory circuits 1a, switch circuits 1b, and liquid crystal 1c which are arranged in an X-Y matrix shape. A DC signal VCM and a rectangular wave signal VSQ are switched as a voltage applied to the liquid crystal 1c with the output signal of the memory circuit 1a. The memory circuit and switch circuit 1b are formed below a picture element electrode. The latch circuit 2 receives the signal of the shift register circuit 3 and outputs image signals Vd1-Vdm for one line. The shift register circuit 4 generates scanning signals Vg1-Vgn with signals PST and CKV.

参考資料

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-333094

(43)公開日 平成4年(1992)11月20日

(51)Int.Cl.¹G 0 9 F 9/35
G 0 2 F 1/133

識別記号

3 0 7
5 5 0

序内整理番号

7926-5G
7820-2K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平3-102465

(22)出願日 平成3年(1991)5月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区永田町四丁目6番地

(72)発明者 佐藤 秀夫

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 長江 優治

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 星野 義

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

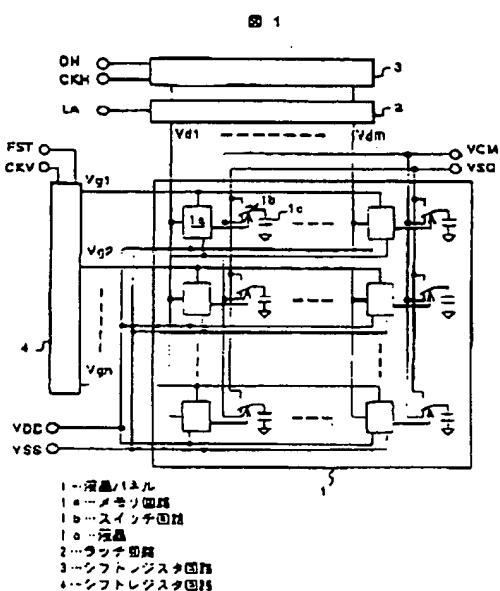
(74)代理人 弁理士 高田 幸彦

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】液晶材料の抵抗率や液晶パネルの走査時間に依存しないで、輝度むらや色ずれをなくすと共にフリッカの発生がない高品質の画像を表示する液晶表示装置を提供することにある。

【構成】本発明は、液晶パネル1、ラッチ回路2、シフトレジスタ回路3、4で構成されている。液晶パネル1は、X-Yマトリクス状に配置したメモリ回路1aとスイッチ回路1b、液晶1cで構成されている。液晶1cに印加する電圧は、メモリ回路1aの出力信号で直流信号V CMと矩形波信号V SQが切り換えられる。メモリ回路1aとスイッチ回路1bは、画素電極の下に形成される。ラッチ回路2は、シフトレジスタ回路3の信号を受けて、1行分の画像信号V d 1～V d nを出力する。シフトレジスタ回路4は、信号F ST、C KVから走査信号V g 1～V g nを発生する。



(2)

特開平4-333094

2

【特許請求の範囲】

【請求項1】液晶を表示させるためにマトリクス状に配置されている反射型電極の下の層に、表示するためのデータを記憶するメモリ回路、または液晶に印加する信号を切り換えるためのスイッチ回路を配置したことを持つとする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示電極をX-Yマトリクス状に配置して画像の表示を行なう液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置電板をX-Yマトリクス状に配置して画像の表示を行なう液晶表示装置は、例えば1980バイニアリーディスプレイリサーチカンファレンス(1980)の96頁から101頁(1980 BIENNIAL DISPLAYRESEARCH CONFERENCE, 1980, PP 96-101)に記載されている。

【0003】本例に代表される液晶表示装置に用いる反射型液晶パネルは、画素電極の下にスイッテ用トランジスタとストレージ容量を形成し、これらをX-Yマトリクス状に配置している。画素電極の電圧は、外部から供給する電圧をスイッチ用トランジスタでストレージ容量にサンプリングすることで制御する。この制御は、X-Y走査で行ない、液晶の印加電圧は、走査毎に電圧極性を反転して交流化している。従来の液晶パネルでは液晶駆動周波数を高くすることはできなかった。

【0004】また、反射型液晶パネルの液晶は、画素電極を介してこのストレージ容量と並列に接続されるので、液晶の抵抗率が下がるとストレージ容量の電荷の放電で液晶の印加電圧が減少する。このため、液晶材料の選択や取り扱いが難しかった。

【0005】

【発明が解決しようとする課題】従来の反射型液晶パネルでは、液晶の駆動周波数を高くできない点と、低い抵抗率の液晶材料は使用できない点で問題があった。

【0006】本発明の目的は、上記問題を解決し、薄く、むらや色ずれなくすと共にフリッカの発生がない高品質の画像を表示する液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的は、反射型液晶パネルの反射電極の下に、表示するデータを記憶する手段と、液晶に印加する信号を切り換える手段を具備することで達成される。

【0008】

【作用】スイッチ手段は、液晶に供給する2個の信号を入力し、これをメモリ手段の出力に応じて切り換える。この信号は、例えば液晶印加電圧をゼロにする直流電圧と、液晶交流電圧を印加する矩形波信号である。

【0009】この結果、液晶は常にスイッチによりいずれかの信号源に接続されるので液晶の抵抗率の影響を受けないとともに、液晶の駆動周波数は矩形波信号で高くできる。

【0010】

【実施例】以下、本発明の実施例を詳細に説明する。

【0011】図1は、本発明の液晶表示装置の構成を示したものである。本装置は、液晶パネル1、ラッチ回路2、シフトレジスタ回路3、4で構成されている。液晶パネル1は、表示データを記憶する手段となるメモリ回路1a、液晶駆動信号の切り換え手段となるスイッチ回路1b、液晶1cをマトリクス状に配置して構成されている。メモリ回路1aには電源VDD、VSSが、スイッチ回路1bには液晶駆動信号VCM、VSQが供給される。

【0012】ラッチ回路2は、LA信号とシフトレジスタ3の出力を入力して、液晶1cの明るさの状態を定める信号Vd1~Vdmを発生し、これをメモリ回路1aに供給する。シフトレジスタ回路3は、DH信号とCKH信号を入力して、一ラインに相当する信号をラッチ回路2に出力する。シフトレジスタ回路4は、FST信号とCKV信号を入力し、走査信号Vg1~Vgnを発生し、これをメモリ回路1に供給する。

【0013】次に、本発明の液晶表示装置の動作を図2にタイミングチャートで説明する。走査信号Vg1~Vgnは、n行、m列のメモリ回路を順次選択する信号であり、FST信号とCKV信号のタイミングで発生する。この信号が‘1’になるタイミングのとき、この行のメモリ回路が選択される。

【0014】LA信号はCKV信号のパルス列のほぼ中間で発生するタイミング信号であり、ラッチ回路2はしA信号で動作するので、このタイミングで輝度信号Vd1~Vdmは変化する。メモリ回路1aはこの走査信号Vg1~Vgnの立ち下がりのタイミングで輝度信号Vd1~Vdmを順に記憶する。

【0015】液晶駆動信号VCM、VSQは液晶印加電圧を制御するための電圧であり、VCMは直流信号で、VSQは矩形波である。

【0016】ここで、液晶駆動信号の制御について、1行1列の輝度信号が、第1フレームのとき‘1’で第2フレームのとき‘0’の場合を例に説明する。メモリ回路の出力DMは、第1フレームのVg1が‘1’でVd1が変化するタイミングで立ち上がり、第2フレームの同タイミングで立ち下がる。液晶駆動電圧VOには、スイッチ回路1bで液晶駆動信号VCM、VSQを選択して供給され、図2のように、出力DMが1のときVSQ0のときVCMが選択される。

【0017】なお、液晶の安定性を高めるには液晶印加電圧の直流分をなくすことが重要である。このためには、矩形波信号VSQの周波数はフレーム周波数の整数

(3)

特開平4-333094

3

倍に設定する。

【0018】このように本発明の液晶表示装置は、液晶の駆動周波数を外部の信号(VSQ)で設定できるので、フリッカがなく、液晶の駆動効率がよい周波数(例えば、数kHz)に設定して高品質の画像を表示できる。

【0019】また、液晶駆動電圧は、駆動信号を切り換えて行なうため、液晶の抵抗率で駆動波形は変化しない、このため、駆動波形のひずみによる輝度むらや色ずれのない高品質の画像を表示できる。さらに、低い抵抗率の液晶材料(例えば、ポリマ分散型液晶の一部など)も適用することができる。

【0020】次に、図3から図6を用いて、本発明の液晶表示装置のメモリ回路1aとスイッチ回路1bの実施例について説明する。

【0021】図3は、本発明の液晶表示装置のメモリ回路例を示したものである。本回路は、NMOSトランジスタ111、PMOSトランジスタ112、インバータ121、122から構成されている。走査信号Vgは、NMOSトランジスタ111とPMOSトランジスタ112の各ゲートに、ドレインに輝度信号Vdは、NMOSトランジスタ111のドレインに供給されている。NMOSトランジスタ111のソースは、PMOSトランジスタ112のソースと共に、インバータ122の入力に接続されている。メモリ回路の出力信号DMは、インバータ122の出力から取り出されている。インバータ121は、この信号を入りし、出力をPMOSトランジスタ112のドレインに接続されている。

【0022】以上の様に構成したメモリ回路の動作を図4のタイミングチャートで説明する。NMOSトランジスタ111は、走査信号Vgが'0'の時にオフ状態となり、「0」の時にオフ状態となる。PMOSトランジスタ112はこの逆で、走査信号Vgが'1'の時にオフ状態となり、「0」の時にオン状態となる。

【0023】このため、本メモリ回路は、走査信号Vgが'0'の時に、輝度信号Vdを遮断し、インバータ121の出力とインバータ122入力を接続してデータ保持の状態となり、走査信号Vgが'1'の時に、輝度信号Vdをインバータ122入力を接続してデータ通過状態となる。したがって、メモリ回路の出力信号DMは、走査信号Vgの立ち上がりのタイミングと、走査信号Vgが'1'で輝度信号Vdが変化するタイミングで変化する。

【0024】図5は、本発明の液晶表示装置のスイッチ回路の一実施例を示したものである。本回路は、NMOSトランジスタ113、PMOSトランジスタ114で構成されている。メモリ出力信号DMは、NMOSトランジスタ113とPMOSトランジスタ114のゲートに、液晶駆動信号VCM、VLCは各トランジスタのソースに接続されている。液晶駆動電圧VOは、各トランジスタの共通に接続したドレンから取り出している。

【0025】ここで、液晶駆動電圧VOは、信号DMが'0'の時にPMOSトランジスタ114がオンすることで液晶駆動信号VCMが選択され、信号DMが'1'の時にNMOSトランジスタ113がオンすることで液晶駆動信号VSQが選択される。図6は、本発明の液晶表示装置のスイッチ回路の他の実施例を示したものである。本回路は、NMOSトランジスタ115、118、PMOSトランジスタ116、117、インバータ123で構成されている。

10 【0026】メモリ出力信号DMは、NMOSトランジスタ115とPMOSトランジスタ117のゲートと共に、インバータ123の入力に接続されている。インバータ123の出力は、NMOSトランジスタ118とPMOSトランジスタ116のゲート接続されている。115、116および118、117のNMOSとPMOSのトランジスタ対はそれぞれのソース・ドレンを互いに接続し、いわゆるCMOSスイッチの構成を取っている。

20 【0027】ここで、液晶駆動電圧VOは、信号DMが'0'の時にインバータ123の出力が'1'となるのでPMOSトランジスタ117とNMOSトランジスタ118がオンすることで液晶駆動信号VCMが選択される。一方、信号DMが'1'の時にインバータ123の出力が'1'になるのでNMOSトランジスタ115とPMOSトランジスタ116がオンすることで液晶駆動信号VSQが選択される。本実施例では、液晶駆動信号がゼロ又は電源電圧に達しても、PMOS又はNMOSトランジスタのいずれかがオン状態になるので動作可能である。

30 【0028】図8は、本発明の液晶表示装置の液晶パネルの断面構造例を示す図である。本液晶パネルは、P型のシリコン基板151の上にメモリ回路1aやスイッチ回路1bを構成するためのNMOSトランジスタ152とPMOSトランジスタ153が形成されている。

【0029】さらに、P型のシリコン基板151の裏面には絶縁層を介して反射表示電極155を設け、この表示電極155とガラス基板158に形成した透明電極157との間に液晶156を封じる構造になっている。すなわち、メモリ回路1aやスイッチ回路1bを構成するトランジスタは反射表示電極の下に配置されている。次に、本発明の他の実施例について説明する。

40 【0030】図8は本発明の液晶表示装置の他の実施例を示したものである。本実施例は、メモリ回路1aをフリップフロップ回路1dにした点と、駆動回路をクロック切換回路5にしている点が図1の実施例と異なる。フリップフロップ回路1dは、メモリ回路1aと同様にマトリクス状に配置し、その入力信号は各列毎に入出力を接続し、クロック入力は、列毎に共通に接続している。

50 【0031】このように構成することで、圖像信号DA-TAは、液晶パネル1のフリップフロップ回路1dに直

(4)

特開平4-333094

6

接書き込むことができる。このため、周辺回路の構成を簡単にできる。

【0032】

【発明の効果】本発明によれば、液晶の駆動周波数を外部の信号で高く設定できるのでフリカがない高品質の画像を表示できる。さらに、液晶駆動電圧は、駆動信号を切り換えて行なうため、液晶の抵抗率で駆動波形は変化しない。このため、駆動波形のひずみによる輝度むらの色づけのない高品質の画像を表示できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の実施例を示す構成図である。

【図2】本発明の実施例を示した液晶表示装置の動作を示すタイミング図である。

【図3】本発明の液晶表示装置の実施例に用いるメモリ

回路の構成図である。

【図4】図3に示したメモリ回路の動作を示すタイミング図である。

【図5】本発明の液晶表示装置の実施例に用いるスイッチ回路の一実施例を示す回路構成図である。

【図6】本発明の液晶表示装置の実施例に用いるスイッチ回路の他の実施例を示す回路構成図である。

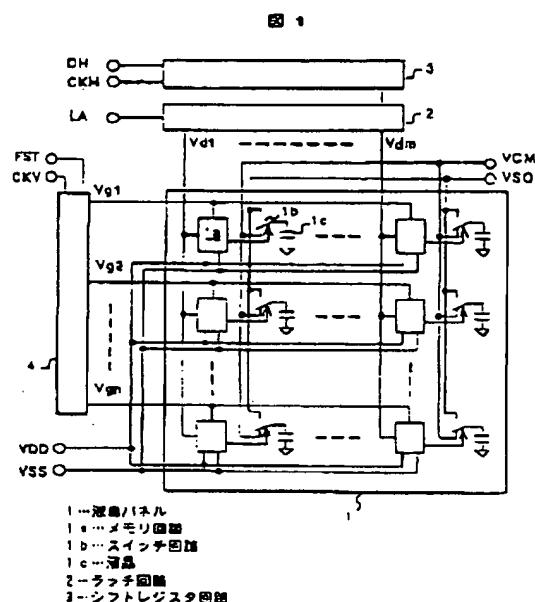
【図7】本発明の液晶表示装置の液晶パネルの駆動構造の一例を示す断面図である。

【図8】本発明の液晶表示装置の他の実施例を示す構成図である。

【符号の説明】

1…液晶/1ネル、1a…メモリ回路、1b…スイッチ回路、1c…液晶、2…ラッチ回路、3…シフトレジスタ回路、4…シフトレジスタ回路。

【図1】



【図4】

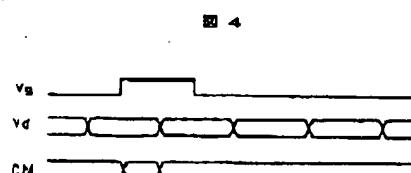
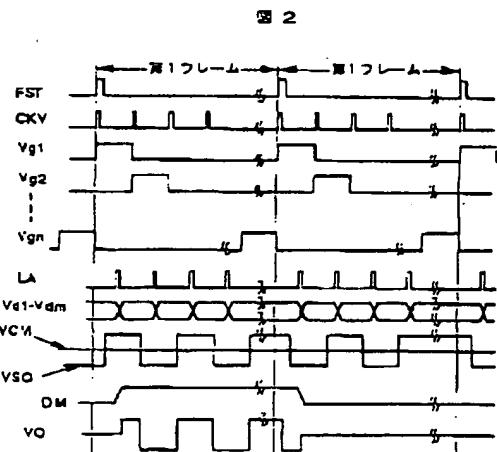
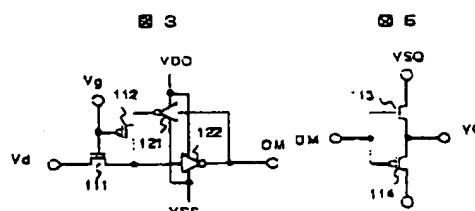


図4

【図2】



【図3】



【図5】

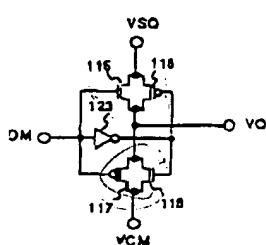
【図6】

(5)

特開平4-333094

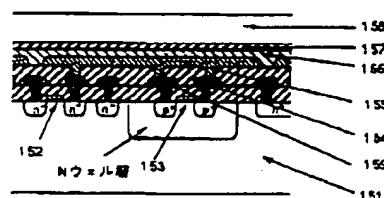
【図6】

図6



【図7】

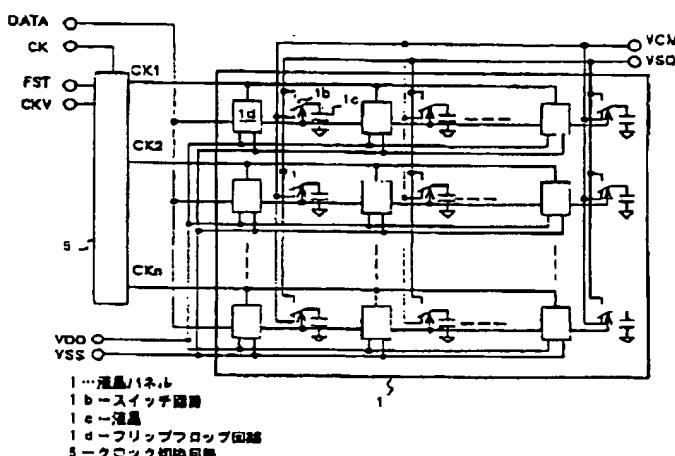
図7



- 151 - P型シリコン基板
- 152 - NMOSトランジスタ
- 153 - PMOSトランジスタ
- 154 - 絶縁層
- 155 - 反射表示電極
- 156 - 液晶層
- 157 - 透明電極
- 158 - ガラス基板
- 159 - 電極層

【図8】

図8



- 1 - 液晶/1ネル
- 1 b - スイッチ回路
- 1 c - 液晶
- 1 d - フリップフロップ回路
- 5 - クロック切換回路